

LINE POLARITY DECIDING CIRCUIT

Publication number: JP6133328 (A)

Publication date: 1994-05-13

Inventor(s): FUKATSU TSUTOMU

Applicant(s): CANON KK

Classification:

- **international:** H04N9/455; H04N9/44; (IPC1-7): H04N9/455

- **European:**

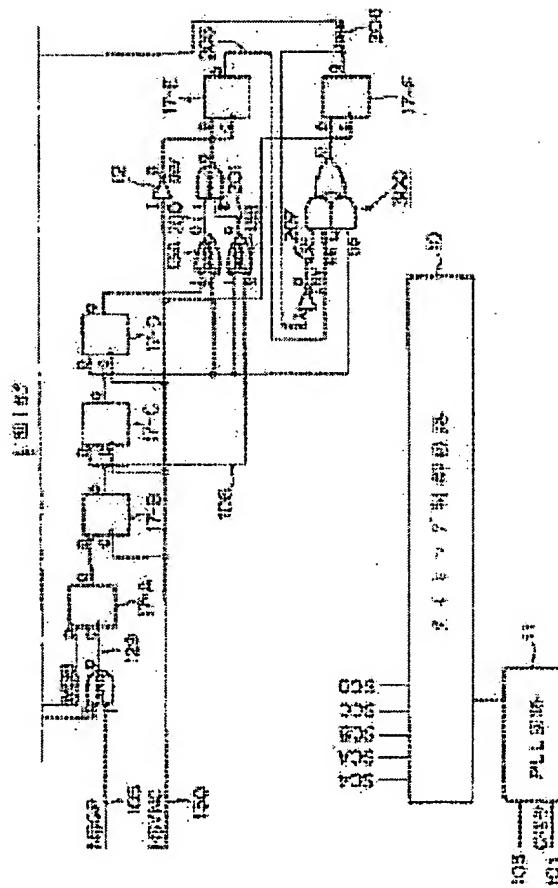
Application number: JP19920170745 19920629

Priority number(s): JP19920170745 19920629

Abstract of JP 6133328 (A)

PURPOSE: To specify a proper color burst phase by storing plural states where a color burst phase is consecutive so as to reduce the possibility of erroneous phase discrimination.

CONSTITUTION: This circuit is a circuit specifying a PAL system color burst phase, stores color burst phase information by N lines to decide whether or not sets of color burst phase information are in contradiction to each other and the color burst information is outputted when not contradicted, and on the other hand, when contradicted, the color burst information of a preceding line is inverted and the inverted information is outputted. That is, a line polarity signal is stored in flip-flop circuits (F/F) 17-B to 17-D and compared with preceding and succeeding line polarity signal.; When the decision in consecutive three lines is all correct, an 'L' level is outputted as the output signal 203 of the F/F 17-E and used for an output line polarity signal 206. On the other hand, when the decision is contradicted, an 'H' level is outputted and an inverting signal 207 of the preceding line is used for the line polarity information.



Data supplied from the **esp@cenet** database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-133328

(43) 公開日 平成6年(1994)5月13日

(51) Int.Cl.⁵

H 0 4 N 9/455

識別記号 庁内整理番号

Z 8942-5C

F I

技術表示箇所

(21) 出願番号 特願平4-170745

(22) 出願日 平成4年(1992)6月29日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 普勝 勉

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

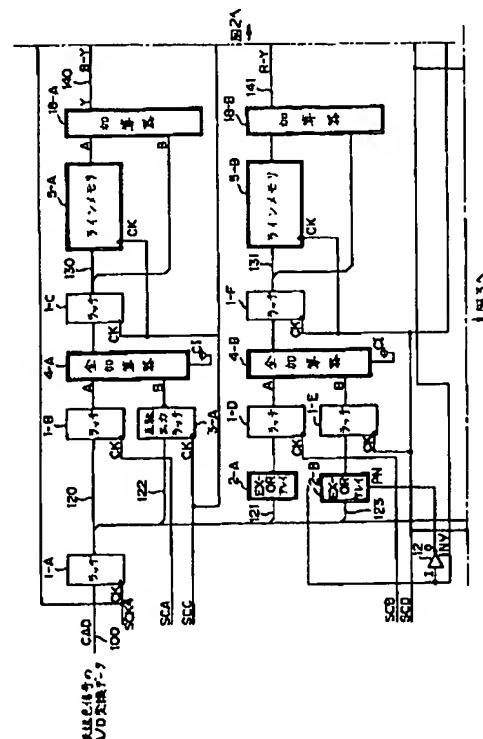
(74) 代理人 弁理士 谷 義一 (外 1名)

(54) 【発明の名称】 ライン極性判定回路

(57) **【要約】**

【構成】 フリップフロップ17-A～17-Cに記憶されているカラーバーストの位相情報（3ライン分）が正しい場合は、フリップフロップ17-Eの出力信号20.3がローレベルとなるので、フリップフロップ17-Cの出力がライン極性情報206として出力される。そうでない場合は、前ラインの反転データが出力される。

【効果】 過酷な状況下にあっても、誤りのないカラーパースト位相情報の検出が可能となる。



【特許請求の範囲】

【請求項1】 PAL方式のカラーバースト位相を特定する回路であって、
Nライン分のカラーバースト位相情報を記憶する記憶手段と、
前記Nライン分のカラーバースト位相情報が相互に矛盾しているか否かを判定する判別手段と、
前記判別手段により矛盾しない旨の判定が得られた場合には判定ラインにおけるカラーバースト情報を出力し、
他方、矛盾する旨の判定が得られた場合には前ラインにおけるカラーバースト位相情報を反転して出力する選択手段とを具備したことを特徴とするライン極性判定回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、PAL方式のカラーバースト位相情報を特定するライン極性判定回路に関するものである。

【0002】

【従来の技術】 従来から知られているとおり、複合映像信号を入力し、フィールドメモリ等を利用してノイズ低減等のためのディジタル処理を行う場合には、輝度信号と色差信号などのベースバンド信号に復調して行うのが容易である。かかる複合映像信号を復調するには、①第1段階として輝度信号(Y信号)と搬送色信号(C信号)の分離を行い、②第2段階としてC信号を色差信号に復調する、という2つの処理を経ることが必要である。

【0003】 上記②の処理については、複合映像信号のカラーバーストに位相同期したサンプリングクロックでA/D変換することにより、ディジタル形式のベースバンド直交色信号成分を直接得ることが知られている。次に、この処理をPAL方式の複合映像信号に適用する場合について詳述する。

【0004】 PAL方式の複合映像信号にY/C分離処理を施し、カラーバーストの平均位相と同期して色副搬

$$B-Y = (PBY - NBY) / 2$$

$$R-Y = (ERY - LRY) / 2 \quad (\text{EARLY LINE})$$

$$- (ERY - LRY) / 2 \quad (\text{LATE LINE})$$

となり、復調データが得られる。

【0010】 ここで搬送波位相(変復調軸)とサンプリングクロック位相が一致していれば、前述の処理により完全な色差信号への復調が可能であるが、実際には、基準信号伝送系・PLL系の遅延及びその個体偏差、電源電圧変動等により、サンプリングクロック位相と復調軸を一致させるのは容易でない。

【0011】 PAL方式において、位相角 θ ・振幅 r の搬送色信号をB-Y軸、R-Y軸から位相 ϕ だけずれたサンプリングクロックでA/D変換して復調すると、得られるサンプリングデータは次のような。

* 送波周波数の4倍の周波数を有するサンプリングクロックで分離されたC信号をA/D変換するとき、カラーバーストの平均位相を 180° (度) とすると、 0° 位相のクロックでは(B-Y)データが、 90° 位相のクロックのサンプルでは(R-Y)データが、 180° 位相のクロックのサンプルでは-(B-Y)データが、 270° 位相のクロックのサンプルでは-(R-Y)データがそれぞれ得られる。これらのデータを振り分け、搬送色信号のDC成分を除去することで搬送色信号の復調が可能である。

【0005】 このようなA/D変換データを基準位相に従って4相に振り分け、このうち 0° 位相のデータをPBYとし、 90° 位相のデータをERYとし、 180° 位相のデータをNBYとし、 270° 位相のデータをLRYとすると、EARLY LINE(先行走査線)とLATE LINE(後続走査線)の内容は、それぞれ下記のようになる。

【0006】 EARLY LINE(カラーバースト位相が 225° のとき)

【0007】

【数1】

$$PBY = B-Y + DC$$

$$ERY = R-Y + DC$$

$$NBY = -(B-Y) + DC$$

$$LRY = -(R-Y) + DC$$

LATE LINE(カラーバースト位相が 135° のとき)

【0008】

【数2】

$$PBY = B-Y + DC$$

$$ERY = -(R-Y) + DC$$

$$NBY = -(B-Y) + DC$$

$$LRY = R-Y + DC$$

従って、

【0009】

【数3】

【0012】 EARLY LINEについては

【0013】

【数4】

$$PBY' = r * \cos(\theta - \phi) + DC'$$

$$ERY' = r * \sin(\theta - \phi) + DC'$$

$$NBY' = -r * \cos(\theta - \phi) + DC'$$

$$LRY' = -r * \sin(\theta - \phi) + DC'$$

LATE LINEについては

【0014】

【数5】

$$PBY'' = r * \cos(\theta + \phi) + DC''$$

$$ERY'' = -r * \sin(\theta + \phi) + DC''$$

$$NBY'' = -r * \cos(\theta + \phi) + DC''$$

$$LRY'' = -r * \sin(\theta + \phi) + DC''$$

上記の結果によれば得られる復調データは、ライン毎に異なるものとなり、ワイプ・フェイドなどの2画面のつなぎ合わせやNR(ノイズリダクション)等のフィード

*ルド間処理時において色相の保存が困難になる。そこで、この問題を解決する手法として、次式のように異なるライン極性の復調データの和をとることが可能である。

【0015】

【数6】

$$\begin{aligned} PBY(\text{early+late}) &= (PBY' - NBY') + (PBY'' - NBY'') \\ &= 4r (\cos(\theta - \phi) + \cos(\theta + \phi)) \\ &= 4r \cos \phi \cos \theta \end{aligned}$$

【0016】

$$\begin{aligned} PRY(\text{early+late}) &= (ERY'' - LRY'') + (LRY'' - ERY'') \\ &= 4r (\cos(\theta - \phi) + \cos(\theta + \phi)) \\ &= 4r \cos \phi \sin \theta \end{aligned}$$

上記の演算により、各復調色信号成分は、B-Y・R-Y信号成分に一定スカラーライブ $4 \cos \phi$ が乗せられた形となり、絶対色相が確定する。

【0017】R-Yデータの減数・被減数関係を決定するカラーパースト位相信号は次のようにして得られる。

【0018】得られるデータが2の補数系であるとすれば、そのデータの最上位ビットはデータの符号を表わすことになる。NBYデータをラッチするためのクロックの位相が135degを越えて225deg未満になると定めると、ERY(LRY)で分離したカラーパーストデータの最上位ビットは、正、負、(負、正)がライン毎に交互に得られる。そこで、このデータの取り込みを行うため、Y信号の同期分離処理により得られたカラーパースト期間を表わす信号に従いカラーパースト位相の抽出を行い、これを水平同期タイミングを表わす信号でラッチする。

【0019】また、得られた色差信号データをC信号へ戻すための変調処理としては、復調データと逆符号のデータを発生させ、復調時に得られるデータと同じシーケンスでD/A変換すればよい。但しPAL方式においては、1ライン毎にR-Y搬送波位相を反転させる必要があるので、D/A変換するシーケンスは、

B-Y復調データ・R-Y復調データ・B-Y極性反転データ・R-Y極性反転データ

B-Y復調データ・R-Y極性反転データ・B-Y極性反転データ・R-Y復調データ

を1ライン毎に繰り返す。

【0020】

【発明が解決しようとする課題】このように、PAL方式における搬送色信号の変復調処理では、カラーパースト位相を正しく判別する事が極めて重要である。しかしながら、上記従来技術をVTRや光学式ディスク(通称、LD)等の再生映像信号に適用すると、以下に列挙する要因に起因して正確なカラーパースト位相の判別が困難になるという欠点がある。

【0021】(I) 上記再生映像信号では、搬送色信号に充分な帯域が与えられていないことに起因して、確実

なカラーパースト位相の判別を行うために必要な振幅が得られる期間が短い。

【0022】(II) ソースによっては、水平同期信号とカラーパーストの位置に相違がある。

【0023】(III) 再生信号に時間軸変動がある。

【0024】(IV) 再生信号のドロップアウトが生じる可能性がある。

【0025】(V) カラーパーストと一定の位相差をもつクロック軸が判別範囲の境界付近にある場合は、クロックジッタによりライン極性の判別が困難になる。

【0026】よって本発明の目的は上述の点に鑑み、常に適確なカラーパースト位相の特定を可能としたライン極性判定回路を提供することにある。

【0027】

【課題を解決するための手段】かかる目的を達成するために、本発明は、PAL方式のカラーパースト位相を特定する回路であって、Nライン分のカラーパースト位相情報を記憶する記憶手段と、前記Nライン分のカラーパースト位相情報が相互に矛盾しているか否かを判定する判別手段と、前記判別手段により矛盾しない旨の判定が得られた場合には判定ラインにおけるカラーパースト情報を出力し、他方、矛盾する旨の判定が得られた場合には前ラインにおけるカラーパースト位相情報を反転して出力する選択手段とを具備したものである。

【0028】

【作用】本発明の上記構成によれば、カラーパースト位相の連続する複数状態を記憶する事により、誤った位相判別を行う可能性を低減させている。

【0029】

【実施例】以下、本発明の実施例を詳細に説明する。

【0030】図1～図3は、本発明の一実施例全体を示すブロック図である。本図において、1-A～1-Jはラッチ回路、2-A～2-Dは図6(C)に詳細な構成を示すEX-OR(排他的論理和)アレイ、3-Aおよび3-Bは反転出力ラッチ回路、4-Aおよび4-Bは下位桁上がり入力(Ripple Carry In)付き全加算器、5-Aおよび5-Bはラインメモリ、6は

図6 (A) に詳細な構成を示す組合せ論理回路、7-A および7-Bは図6 (B) に詳細な構成を示す組合せ論理回路、8-A~8-Cはキャリイ入力付き加算器、9は4入力1出力マルチブレクサ、10はタイミング制御回路、11はPLL回路、12はインバータ、13A、13BはEX-ORゲート、14はNANDゲート、17-A~17-Fは1ビットをラッチするためのフリップフロップ (以下、F/Fという) 、18-Aおよび18-Bは加算器である。

【0031】100は搬送色信号 (C信号) のA/D変換データである。すなわち、C信号をその基準位相であるカラーバーストの平均位相の4倍の周波数にロックしたクロック (SCK4) によりA/D変換して得られたデータである。101はC信号、105は不図示の同期分離回路等により得られたカラーバースト期間を表わす信号、130は不図示の同期分離回路等により得られた水平同期信号を表わす。

【0032】次に、図4および図5に示した波形図を参照して、本実施例の動作を説明する。

【0033】ラッチ回路1-AによりラッチされたC信号データは、カラーバーストの平均位相と各々一定の位相差を持つfsc周期のクロックSCA, SCB, SCC, SCDにより4つの位相のデータ系列に振り分けられる。これら振り分けられたデータのうち、クロック位相が180度異なるデータ間の差分をとり、ラインメモリ5-A, 5-Aおよび加算器18-A, 18-Bへ出力する。図示しないA/D変換器から出力されるデータを2の補数系とすると、減算処理の結果、疑似B-YデータBY'は

【0034】

【数8】

$$BY' = D_{sca} + (\overline{D_{scc}} + 1)$$

【0035】となる。ここで、 D_{sca} はクロックXXXによって分離されるC信号データ系列である。従って、反転極性のデータをSCCクロックで抽出すると同時に、反転出力ラッチ回路3-Aにより反転して全加算器4-Aに入力し、全加算器4-Aの下位桁上がり(RC)入力を“H”にしておくことにより、上記処理が行われる。PAL方式では、ライン毎にR-Y搬送位相が反転しているため、減数に相当する反転位相のデータをライン毎に切り替える必要がある。このR-Yデータの減数・被減数関係を決定するカラーバースト位相信号は次のようにして得られる。

【0036】得られるデータが2の補数系であるとすれば、そのデータの最上位ビットはデータの符号を表すことになる。NB Yデータをラッチするためのクロックの位相が135degを越えて225deg未満になると定めると、ERY (LRY) で分離したカラーバーストデータの最上位ビットは、正、負(負、正)がラ

イン毎に交互に得られる。そこで、このデータの取り込みを行うため、Y信号の同期分離処理により得られたカラーバースト期間を表わす信号105でゲートされたクロック129に従いカラーバースト位相の抽出を行い、これを水平同期タイミングを表わす信号130でF/F17-Bに入力する。

【0037】上記処理において、減数を決定するために用いられるカラーバースト位相を示す信号 (ライン極性信号) は、【発明が解決しようとする課題】の項で述べた要因 (I) ~ (IV) の要因により誤っている可能性がある。そこで、上記ライン極性信号をF/F17-B~17-Dにより記憶し、前後のライン極性の状態と比較する。C信号カラーバースト位相極性はライン毎に反転しているため、ライン極性の判別が正しく行われていれば、連続するライン間のEX-OR結果200, 201は“H”になる。そこで、判別されるラインはその前後の判別結果と各々EX-ORをとり、そのゲート出力200, 201をNANDゲート14に入力する。

【0038】従って、連続する3ラインの判別が全て正しい場合、あるいは全て誤っている場合には、F/F17-Eの出力信号 (すなわち、セレクタ300のセレクト信号SE) 203として“L”が出力され、カラーバースト位相の判別結果F/F17-Cの出力ライン極性信号206として使用される。上記以外の場合には、セレクタ300のセレクト信号(SE) 203として“H”が出力され、ライン極性には前ラインの反転信号207が使用される。

【0039】カラーバーストの位相判別が正常に行われない場合、前述した要因 (I), (II), (IV)においてはその判別結果は“H”または“L”どちらか一方に誤る場合が多い。なお、(III), (V)の要因により、3ライン連続して判別を失敗するほど時間軸変動を伴う場合には、図4に示したクロックSCA~SCDの位相も大きく変動しており、実用上連続3ラインを誤判別することは希である。

【0040】このようにして得られたパラレル色差信号140, 141に所定の処理を施して再びPAL方式の搬送色信号に戻すため (例えば、PAL方式のモニタに出力するため) 、以下に述べる変調処理を施す。

【0041】B-Yデータを表わす色信号データ110と、R-Yデータを表わす色信号データ111は、ラッチ回路1-G, 1-H, 1-Iおよび反転出力ラッチ回路3-Bによりデマルチブレクスされる。ここで、R-Yデータについては、ライン極性信号206およびその反転信号を入力したEX-ORアレイ2-Cおよび2-Dを介して反対極性のデータとされ、それぞれラッチ回路1-Hおよび1-Iに入力される。

【0042】このライン極性信号206およびその反転信号は論理回路7-Aおよび7-Bにも入力される。かくして、マルチブレクサ9からは搬送色信号 (デジタル

形式)が出力され、D/Aコンバータ30によりアナログ信号化される。

【0043】ここで、

$$PX = VCX + VDC'$$

$$EY = -VCY + VDC'$$

$$NX = -VCX + VDC'$$

$$LY = -VCY + VDC'$$

前述のように復調時得られるデータは2VCであるため、A/D・D/A変換器ビット数が同じビット数の場合、1/2にする必要がある。このとき最下位ビットの*10

復調データ	+ 1 0	+ 1 1	- 1 0	- 1 1
変調データ	+ 5	+ 5	- 5	- 6
" (反転)	- 5	- 6	+ 5	+ 6
ピークt o ピーク	+ 1 0	+ 1 1	- 1 0	- 1 1

なお、図6(A), (B)に示した2入力NANDゲートおよび5入力ANDゲートは、変調データ入力が最小値の時に上記処理を行った場合、アンダーフローを防止するためのものである。

【0046】また、これまで説明してきた実施例では、カラーバースト位相を示す信号(ライン極性信号)を3ライン分の信号に基づいて判定しているが、この3ラインに限定する必要はない。しかし、所要ライン数を多くした場合、ソースが切り替わって色シーケンスが変化したとき、その変化したシーケンスに移行するのが遅くなるので、必要に応じて所要ライン数を決定すればよい。

【0047】

【発明の効果】以上説明したとおり本発明によれば、カラーバースト位相の連続する複数状態を記憶する事により、誤った位相判別を行う可能性を低減させているので、色差信号の復調あるいは変調に必要とされる、適確なカラーバースト位相の特定が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の一部を示すブロック図である。

【図2】本発明の一実施例の一部を示すブロック図である。

*桁落ちが生じ変調特性が劣化する。そこで本実施例では、復調データを(A/D+1ビット)とし、変調時においてC信号のピークt o ピーク保存した変調を行う。上記処理を行うのが論理回路6, 7-A, 7-Bであり、その構成は図6の(A)および(B)に示す通りである。

【0044】このことにより、変調データは次のようになる。

【0045】

【表1】

【図3】本発明の一実施例の一部を示すブロック図である。

【図4】本実施例の動作を示す波形図である。

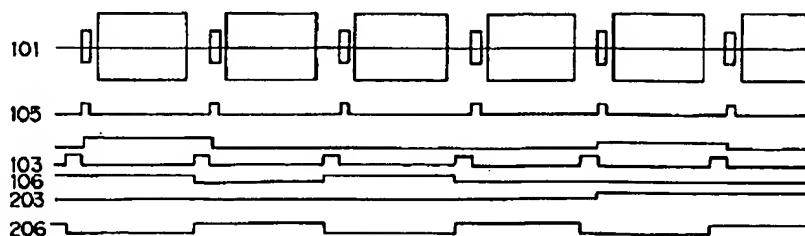
【図5】本実施例の動作を示す波形図である。

【図6】本実施例に用いる各ブロックの詳細な回路構成図である。

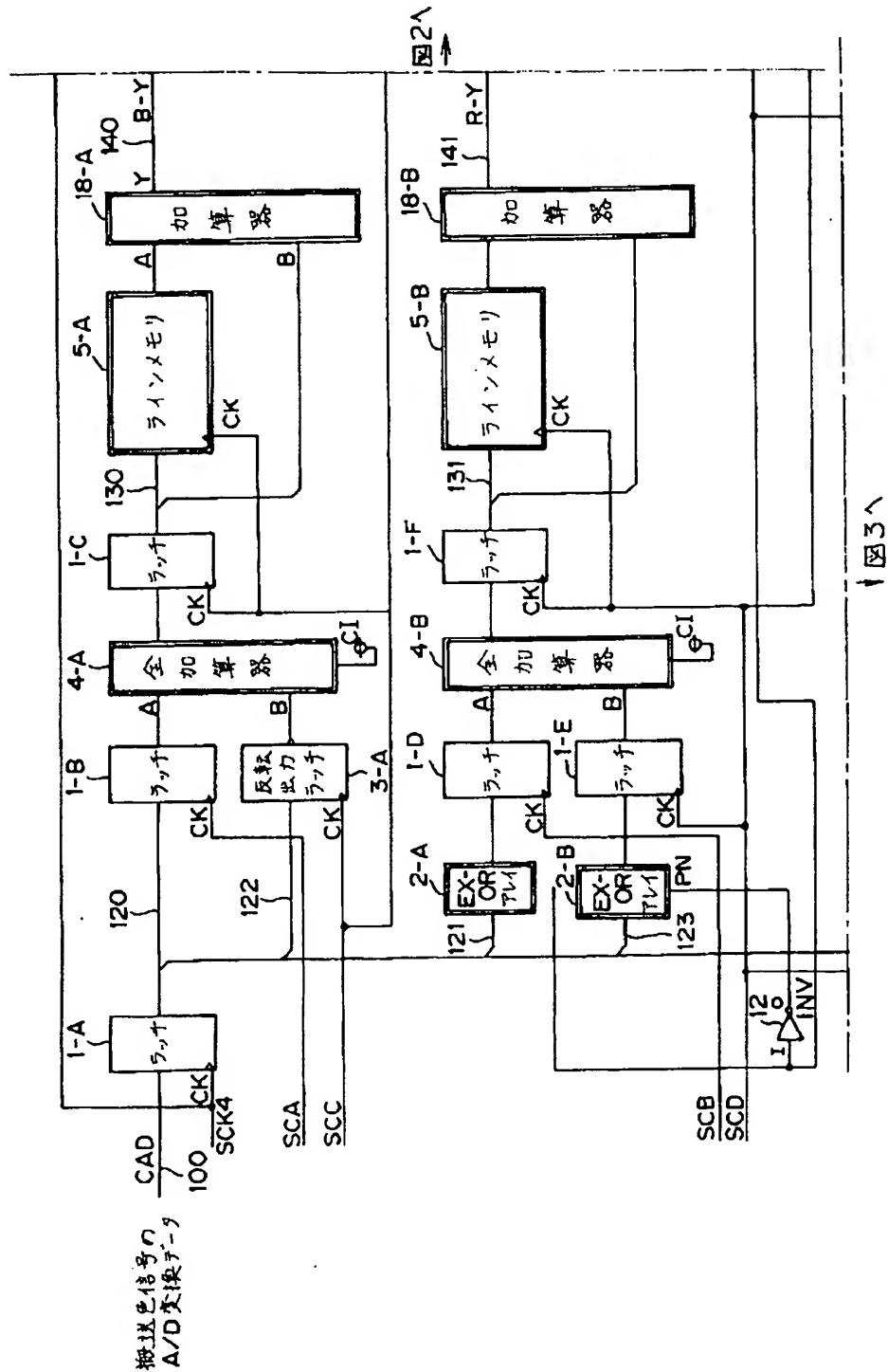
【符号の説明】

- 1-A~1-J ラッチ回路
- 2-A~2-D 排他的論理和(Ex-OR)アレイ
- 3-A, 3-B 反転出力ラッチ回路
- 4-A, 4-B 全加算器
- 5-A, 5-B ラインメモリ
- 6, 7-A, 7-B 論理回路
- 8-A~8-C 加算器
- 9 マルチブレクサ
- 10 タイミング制御回路
- 11 PAL回路
- 12 インバータ
- 13A, BB Ex-ORゲート
- 14 NANDゲート
- 17-A~17-F フリップフロップ
- 18-A, 18-B 加算器

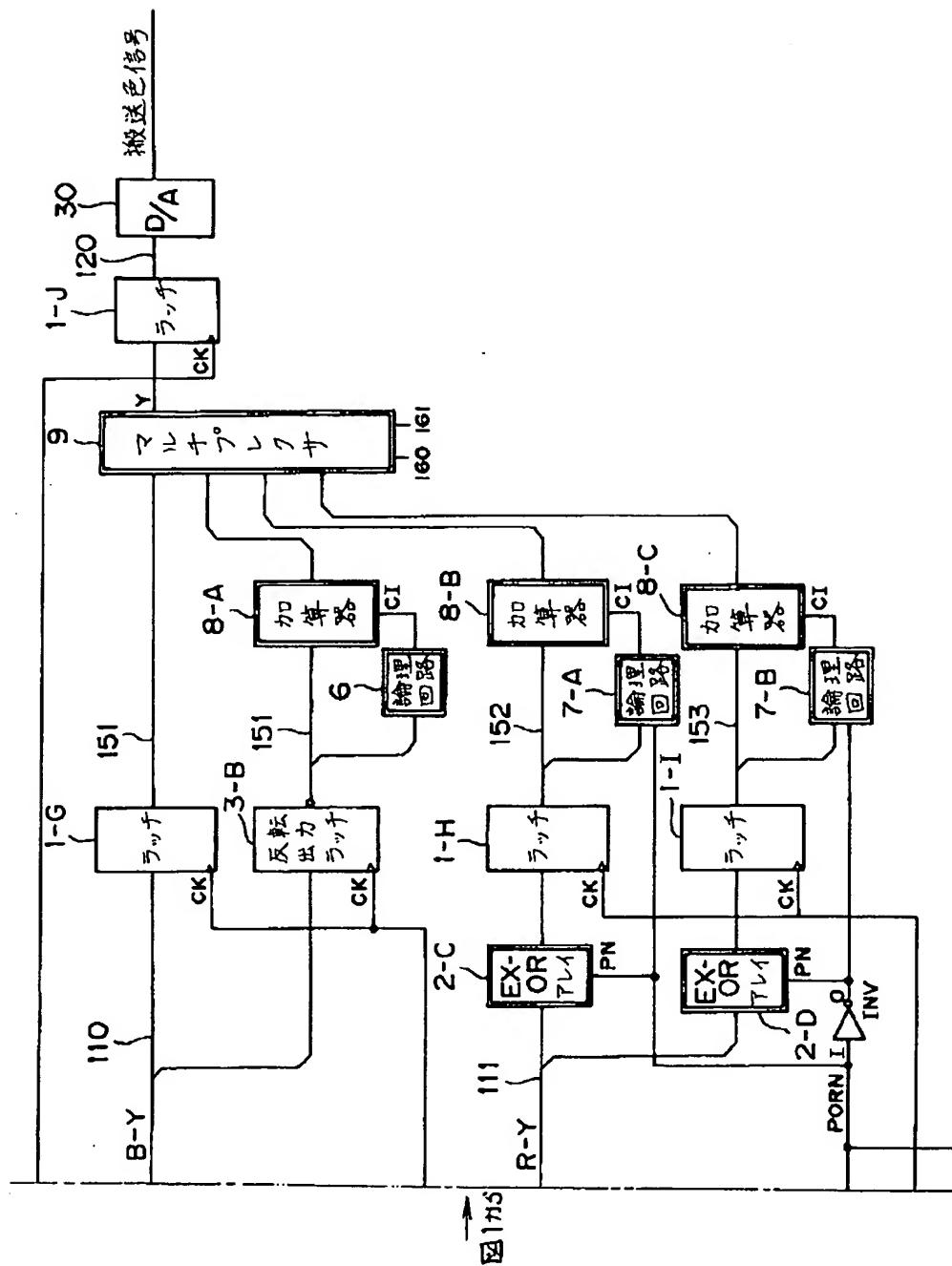
【図5】



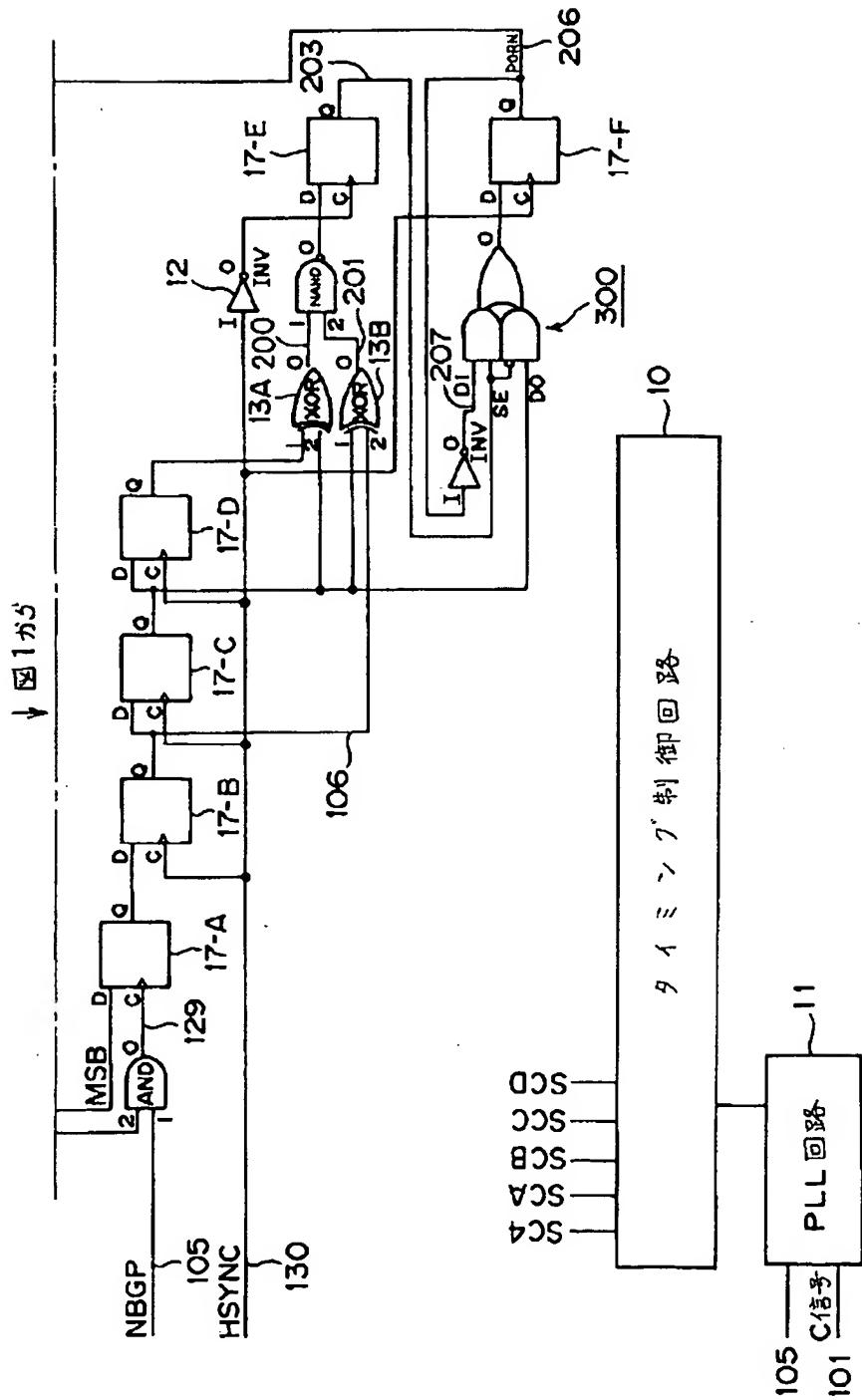
[図1]



[図2]



[図3]



[図4]

【図6】

